تصميم شبكة للاتصال والادارة بين جزئي معالج متعدد يسمي RISC-V

رسالة مقدمة الى كلية الهندسة – جامعة الفيوم
ضمن متطلبات الحصول على درجة الماجستير فى العلوم الهندسية

قسم الهندسة الكهربية
تخصص:هندسة الالكترونيات والاتصالات الكهربية

مقدمة من

م/ دميانة اميل ميخائيل سليم

تحت اشراف

أ.م.د/ جيهان نجيب عبدالستار نجم

استاذ مساعد - هندسة الالكترونيات والاتصالات الكهربية - قسم الهندسة الكهربية - كلية الهندسة - جامعة الفيوم (المشرف الرئيسى)

د/ محمد حمدى محمد عبدالله مرزبان

مدرس - هندسة الالكترونيات والاتصالات الكهربية - قسم الهندسة الكهربية - كلية الهندسة - جامعة الفيوم (المشرف المشارك)

كلية الهندسة- جامعة الفيوم
الفيوم- جمهورية مصر العربية
٢٠٢٣

ملخص الرسالة

معالج RISC-V متعدد النوى واحد من المعالجات التى لها تأثير واعد في مجال تصميم الحوسبة الرقمية. يقدم العديد من الفوائد ، خاصة في الأداء. بالإضافة إلى ذلك ، فإن مجموعة أوامر RISC-V عبارة عن تعليمات مفتوحة المصدر حتى يتمكن الباحثون من بناء أنظمة الحوسبة وتحسينها. لسوء الحظ ، هناك عدد قليل من المعالجات مفتوحة المصدر RISC-V. لذلك ، في هذه الأطروحة ، يتم تصميم معالج RISC-V متعدد النوي متاح المصدر. يعتمد تصميمه على معالج RvCore ذي نواة واحدة متاح المصدر (Taiga). تم دمج نواتين من Taiga على شريحة واحدة. تتناول الأطروحة العديد من الموضوعات المركبة ، مثل ترابط ذاكرة التخزين المؤقت ، والترابط ، ومشاكل بنية الذاكرة ، وتوافر الأجهزة الطرفية المخصصة. لتوحيد البيانات بين ذاكرات التخزين المؤقت المنفذة والذاكرة الرئيسية ، تم تطوير حل يعتمد على بروتوكول snoopy الذى يستخدم فى المعالجات ذات العدد القليل من النوي. كما تم تطوير وحدة طرفية مخصصة لادارة العمل ولتشغيل وايقاف النوى المصممة. أيضا تم تصميم وحدة طرفية اخرى للاتصال بمعالج اخر أو كمبيوتر باستخدام بروتوكول UART. لربط النوى بالوحدات الطرفية تم تصميم شبكة تستخدم بروتوكل AXI فى التواصل مع النوى. يعتمد تصميم هذه الشبكة على استخدام ال multiplexers بشكل رئيسى للوصول الى الوحدات الطرفية. فلكل وحدة طرفية عنوان محدد وفقا لتعيينه مسبقا. ايضا تم اعادة تصميم بعض الوحدات فى التصميم كالذاكرة الرئيسية لكي يمكن تطبيقها وتشغيلها على Zedboard. اخيرا تم اجراء اختبارات كثيرة ومعايير مكثفة لضمان الاداء الوظيفى الجيد. ايضا تم تقييم التصميم باستخدام ادوات لها معايير قياسية مثل استخدام ال core mark وايضا اخرى تمت كتابتها بواسطنا لاختبارات وظائف معينة. يمكن تنفيذ المهمات او العمليات على كل نواة من المعالج ثنائى النواة على حدى بشكل مستقل او تقسيم كل مهمة على النواتين معا. لقد حقق المعالج 4.605 CoreMark/MHz بتردد 98 MHz. فى مثال اخر لجمع 100 رقم تم تقسيم العملية على النواتين وقد حقق المعالج 914 clock cycle بتردد 10 MHz بينما حقق المعالج احادى النواة 1158 clock cycle باستخدام نفس التردد. وبهذه النتيجة فى المثال السابق فقد حقق المعالج الثنائى تحسن بمقدار 21.08% افضل من المعالج الاحادى. واقصى تردد يستطيع المعالج ان يعمل به هو 98 MHz.