تطوير معالج ٦٤ بت ثنائى النويات مبنى على تصميم SPARC المفتوح

إعداد

محمد حمدى محمد مرزبان

قسم الالكترونيات والاتصالات الكهربية

كلية الهندسة ، جامعة القاهرة

رسالة مقدمة إلى كلية الهندسة ، جامعة القاهرة

كجزء من متطلبات الحصول على درجة الماجستر

في الالكترونيات والاتصالات

تحت إشراف

ا.د. سراج الدين السيد حبيب

قسم الالكترونيات والاتصالات الكهربية

كلية الهندسة ، جامعة القاهرة

كلية الهندسة ، جامعة القاهرة

الجيزة ، جمهورية مصر العربية

فبراير ٢٠١١

نبذة عن البحث

لقد تم تصميم المعالجات متعددة النويات منذ بداية تصميم الحاسبات. وقد تطورت أنماط التصميم وطرق التنفيذ مع الوقت. وفى نهاية التسعينات تم تصميم نظم متعددة النويات على شريحة واحدة. يتم تنفيذ المعالجات متعددة النويات كمجموعة من وحدات المعالجة مرتبطة ببعضها عن طريق شبكة توصيل بينى سريعة. وقد تكون الذاكرة مركزية مشتركة أو موزعة بين النويات (وحدات المعالجة). تم استخدام المعالجات فى البداية للتطبيقات عالية الكلفة، ولكن حاليا أصبحت المعالجات متعددة النويات موجودة فى الحواسب الشخصية.

ويعد المعالج OpenSPARC الذى طرحته شركة SUN واحد من المعالجات متعددة النويات المنفذة على شريحة واحدة. يحتوى هذا المعالج على ثمانية نويات. كل نواة من هذه النويات عبارة عن وحدة معالجة ٦٤ – بت متوافقة مع معمار مجموعة التعليمات SPARC V9 ولها أربع مسارات Threads . أيضا، كل نواة من هذه النويات لها ذاكرة وسيطة Cache من المستوى الأول. المستوى الثانى للذاكرة الوسيطة يحتوى على أربع وحدات مشتركة بين النويات الثمانية. يتم الاتصال بين النويات ووحدات ذاكرة المستوى الثانى الوسيطة عن طريق شبكة اتصال بينى سريعة تسمى CCX. كما تحتوى كل وحدة من وحدات ذاكرة المستوى الثانى الوسيطة على متحكم ذاكرة DDR2-SDRAM . وعلى هذا يحتوى المعالج OpenSPARC T1على أربع قنوات للذاكرة.

الهدف من هذا البحث هو تنفيذ معالج متعدد النويات على مصفوفة بوابات مبرمجة حقليا FPGA باستخدام نويات OpenSPARC T1. بدأنا من التصميم المطروح من SUN وقمنا بتنفيذه على مصفوفة بوابات مبرمجة حقليا من نوع Xilinx XC5VLX110T. يتكون النظام الذى تم تنفيذه من

أ) نواتان من نويات OpenSPARC T1

ب) شبكة توصيل بينى

ج) مدير للذاكرة يمثل وحدات ذاكرة المستوى الثانى الوسيطة ومتحكم الذاكرة.

ولأن نواة SPARC تستهلك تقريبا ٩٥% من الموارد المتاحة على ال FPGA فقد كان ضروريا تبسيط تصميم النواة لتقليل الموارد المستخدمة. الخطوة التالية كانت تصميم نظام ثنائى النويات يحوى شبكة توصيل بينى CCX. كما استخدمنا فى هذا النظام المعالج المضمن Microblaze ليقوم بمحاكاة وظيفة مدير الذاكرة. ثم قمنا بقياس أداء النظام باستخدام منصة الإختبارDhrystone . اتضح بعد قياس الأداء أنه غير مرضى لأن مدير الذاكرة كان يشكل عنق زجاجة لأداء النظام. ولذا تم تصميم نظام جديد استبدل فيه محاكى مدير الذاكرة المشار إليه بمدير ذاكرة مصمم بالكامل كعتاد. ثم تم قياس أداء النظام الجديد وقد اتضح أنه أفضى إلى تحسن فى الأداء بمقدار ٢٥٠% .